

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-030074

(43)Date of publication of application : 04.02.1994

(51)Int.Cl. H04L 29/00

(21)Application number : 03-222708

(22)Date of filing : 03.09.1991

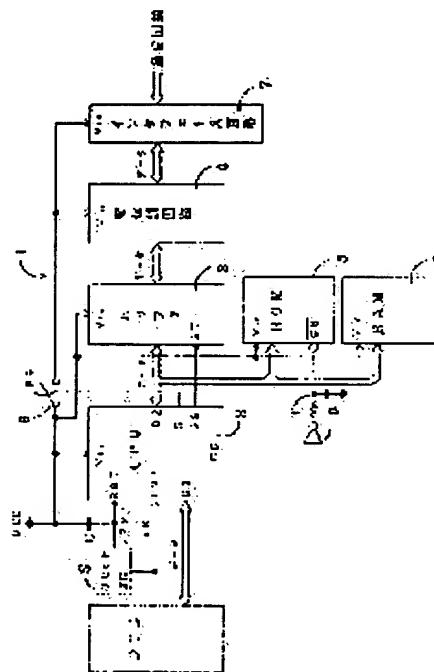
(72)Inventor : FUJIMOTO YOSHIHISA
YAMAGUCHI KAZUNOBU

(54) MODEM DEVICE

(57)Abstract:

PURPOSE: To save an unrequired power in a communication relating part when a command mode is set by providing a switch means which supplies or stops power to the communication relating part of a modem device in the command mode.

CONSTITUTION: A CPU 2 is reset when a power source VCC for modem device is applied or an ER signal from the terminal (DTE) of a user rises. The modem device 1 is set in an internal processing mode, and performs regulated internal processing. When the internal processing is started, the CPU 2 sets a buffer gate output terminal G2 at Hi. A buffer 3 goes to high impedance. Thence, the CPU 2 sets a relay control output terminal G1 at Hi, and turns off a relay switch 8, and stops power supply to a modulation/demodulation circuit 4 and an interface circuit 7.



LEGAL STATUS

[Date of request for examination] 31.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2936823

[Date of registration] 11.06.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-30074

(43) 公開日 平成6年(1994)2月4日

(51) Int. Cl.⁵
H04L 29/00

識別記号

庁内整理番号

F I

技術表示箇所

8020-5 K

H04L 13/00

T

審査請求 未請求 請求項の数 2

(全 7 頁)

(21) 出願番号 特願平3-222708

(22) 出願日 平成3年(1991)9月3日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 藤本 佳久

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 山口 一伸

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74) 代理人 弁理士 有近 紳志郎

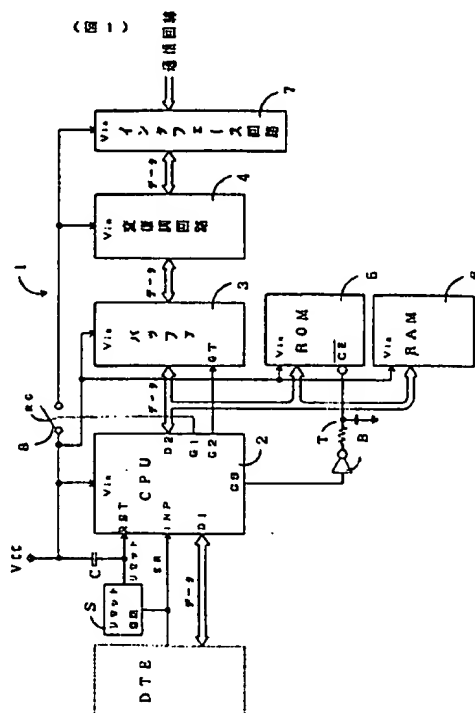
(54) 【発明の名称】 モデム装置

(57) 【要約】

【目的】 モデム装置の実際上の動作に必要な回路のみに電力を供給することにより、消費電力の低減を計る。

【構成】 モデム装置1が、DTE（利用者の端末）からのコマンドを受け付けるコマンドモード時に、モデム装置1の内部の変復調回路4、インタフェース回路7への電力供給を停止するリレースイッチ8を設ける。

【効果】 携帯用コンピュータに内蔵されるモデム装置など、電源容量の制約が大きいモデム装置として有利である。



【特許請求の範囲】

【請求項1】 モデム装置の利用者の端末からのコマンドを受け付けるコマンドモードと、通信回線を介して通信を行う通信モードとを少なくとも有するモデム装置において、前記コマンドモード時にモデム装置の通信関連部分への電力供給を停止または減少させるスイッチ手段を具備したことを特徴とするモデム装置。

【請求項2】 モデム装置を制御するCPUをモデム装置の利用者の端末からの所定の信号に応じてパワーダウンモードにするCPU制御手段を具備したことを特徴とするモデム装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、モデム装置に関し、さらに詳しくは、電力消費を低減可能としたモデム装置に関する。

【0002】

【従来の技術】図6は、従来のモデム装置51の一例を示したブロック図である。このモデム装置51は、モデム装置内部の処理を行う内部処理モードと、DTE（モデム装置の利用者の端末）からのコマンドを受け付けるコマンドモードと、通信回線を介して実際にデータ通信を行う通信モードの3通りの動作モードを有している。

【0003】CPU52の第1データ入出力ポートD1、ER信号入力端子INPは、それぞれに対応するDTEの端子と接続されている。CPU52の第2データ入出力ポートD2は、変復調回路4、ROM5、RAM6の各ポートと接続されている。CPU52のリセット端子RSTは、パワーオンリセット用コンデンサCを介してモデム装置用電源VCCと、リセット回路Sを介してDTEのER信号出力端子に接続されている。リセット回路Sは、DTEのER信号出力端子から出力されるER（データ端末レディ）信号の立上がり時にリセット信号を発生する機能を有する。CPU52の選択出力端子CSは、インバータBを介して、ROM5の選択入力端子NOTCEと接続されている。変復調回路4には、インタフェース回路7を介して通信回線が接続されている。

【0004】次に、このモデム装置51の動作について説明する。CPU52が、モデム装置用電源VCCのパワーオンまたはDTEからのER信号の立上がり時にリセットされると、モデム装置51は、必要な内部処理を行い、DTEからのコマンドを受け付けるコマンドモードに入る。次に、モデム装置51は、受け付けたコマンドに対応した処理を行った後、データ通信を行う。

【0005】

【発明が解決しようとする課題】上記従来のモデム装置51では、モデム装置内部のあらゆる回路に、常に電力を供給する構成になっていたので、モデム装置51の利用者からのコマンドを受け付けるコマンドモード時や、モデム装置51を使用しない時には、不必要な回路で消

費される電力が無駄になる問題点がある。

【0006】そこで、この発明の目的は、モデム装置の実際上の動作に必要な回路のみに電力を供給することにより、消費電力の低減を計ったモデム装置を提供することにある。

【0007】

【課題を解決するための手段】第1の観点では、この発明は、モデム装置の利用者の端末からのコマンドを受け付けるコマンドモードと、通信回線を介して通信を行う通信モードとを少なくとも有するモデム装置において、前記コマンドモード時にモデム装置の通信関連部分への電力供給を停止または減少させるスイッチ手段を具備したことを特徴とするモデム装置を提供する。

【0008】第2の観点では、この発明は、モデム装置を制御するCPUをモデム装置の利用者の端末からの所定の信号に応じてパワーダウンモードにするCPU制御手段を具備したことを特徴とするモデム装置を提供する。

【0009】

【作用】第1の観点のモデム装置では、コマンドモード時には、動作させる必要のない通信関連部分への電力供給を停止または減少させる。このため、通信関連部分で消費される分の電力を節約することが出来る。

【0010】第2の観点のモデム装置では、モデム装置を使用しないときに、利用者の端末側からの所定の信号により、CPUをパワーダウンモードにすることが出来る。このため、CPUで消費される電力を低減することが出来る。

【0011】

【実施例】以下、図に示す実施例によりこの発明をさらに詳細に説明する。なお、これによりこの発明が限定されるものではない。図1は、この発明の一実施例によるモデム装置のブロック図である。このモデム装置1は、モデム装置内部の処理を行う内部処理モードと、DTEからのコマンドを受け付けるコマンドモードと、通信回線を介して実際にデータ通信を行う通信モードの3通りの動作モードを有している。

【0012】CPU2のリレー制御出力端子G1は、リレースイッチ8のリレー制御端子RGと接続されている。CPU2のバッファゲート出力端子G2は、バッファ3のゲート端子GTと接続されている。CPU2の第1データ入出力ポートD1、ER信号入力端子INPは、それぞれに対応するDTEの端子と接続されている。CPU2の第2データ入出力ポートD2は、バッファ3を介して変復調回路4に接続されている。また、ROM5と、RAM6の各ポートに接続されている。CPU2のリセット端子RSTは、パワーオンリセット用コンデンサCを介してモデム装置用電源VCCと、リセット回路Sを介してDTEのER信号出力端子と接続されている。リセット回路Sは、DTEのER信号出力端子か

ら出力されるER信号の立上がり時にリセット信号を発生する機能を有する。CPU 2の選択出力端子CSは、インバータBと、RC積分回路Tを介して、ROM 5の選択入力端子NOTCEと接続されている。変復調処理回路4には、インタフェース回路7を介して通信回線が接続されている。

【0013】図2は、モデム装置1のメインルーチンでの処理手順を示したフローチャートである。CPU 2は、モデム装置用電源VCCのパワーオンまたはDTEからのER信号の立上がり時にリセットされる(ステップ1)。モデム装置1は、内部処理モード(詳細後述)に入り、規定の内部処理を行う(ステップS2)。モデム装置1は、コマンドモード(詳細後述)に入り、DTEからのコマンドを受け付ける(ステップS3)。モデム装置1は、通信モード(詳細後述)に入り、通信回線を介してデータ通信を行う(ステップS4)。

【0014】図3は、内部処理モードに入ったステップS2(図2参照)内の処理手順を示したフローチャートである。モデム装置1は、内部処理モード本来の処理を行う(ステップS21)。

【0015】CPU 2は、バッファゲート出力端子G2をHiとする。バッファ3は、ハイインピーダンスとなる(ステップS22)。CPU 2は、リレー制御出力端子G1をHiにして、リレースイッチ8をオフにし(ステップS23)、変復調回路4、インタフェース回路7への電力供給を停止する。

【0016】CPU 2は、DTEからのER信号がHiであるか否かを判定する。Hiである場合、ステップS25に進む。Hiでない場合、ステップS26に進む。

【0017】ステップS25で、メインルーチンに復帰する。

【0018】ステップS26で、CPU 2は、ROM 5を非選択にする命令をROM 5からフェッチした後、この命令を実行し、選択出力端子CSのレベルをLoにする。しかし、CPU 2の選択出力端子CSとROM 5の選択入力端子NOTCEの間には、RC積分回路Tがあるため、ROM 5の選択入力端子NOTCEのレベルは、しばらくの間Loのままであり、ROM 5の選択状態が続いている。この間にCPU 2は、CPU 2がパワーダウンモードに入る命令をROM 5からフェッチする。この後に、CPU 2は、前記命令を実行し、パワーダウンモードに入る命令をフェッチし終ったあと、ROM 5の選択入力端子NOTCEのレベルがスレッシュホールドレベルTHを超えてHiとなり、ROM 5は非選択状態(省電力モード)に入る(ステップS27)。CPU 2は、パワーダウンモードのまま停止する(ステップS29)。なお、パワーダウンモードに入るDTEからの信号としては、上記ER信号の他に、モデム装置の利用者が新たに定義する信号を用いることも可能である。

【0019】図4は、コマンドモードに入ったステップS3(図2参照)内の処理手順を示したフローチャートである。モデム装置1は、コマンドモード本来の処理を行う(ステップS31)。

【0020】CPU 2は、DTEから受け付けたコマンドが、ATD(自動ダイヤル)コマンドであるか否かを判定する。ATDコマンドであった場合、ステップS33に進む。ATDコマンドでなかった場合、ステップS34に進む(ステップS32)。

10 【0021】ステップS33で、CPU 2は、リレー制御出力端子G1をLoにして、リレースイッチ8をオンとし(ステップS33)、変復調回路4、インタフェース回路7へ電力を供給する。

【0022】ステップS34で、モデム装置1は、CPU 2が受け付けたコマンドに対応したコマンド対応処理を行う。

【0023】CPU 2は、バッファゲート出力端子G2をLoにして、バッファ3をスルーとする(ステップS35)。メインルーチンに復帰する(ステップS36)。

20 【0024】なお、ATDコマンドに加えて若しくは、その代りに、利用者が定義したコマンドや、ループテストコマンドなどを用いてもよい。

【0025】図5は、通信モードに入ったステップS4(図2参照)内の処理手順を示したフローチャートである。モデム装置1は、DTEから受け付けたATDコマンドに基づいてダイヤルするなど、通信モード本来の処理を行う(ステップS41)。

【0026】CPU 2は、通信回線が切断状態であるか否かを判定する。通信回線が切断状態の場合、ステップS43に進む。通信回線が接続状態の場合、ステップS41に戻る(ステップS42)。

【0027】メインルーチンに復帰する(ステップS45)。

【0028】

【発明の効果】この発明の第1の観点のモデム装置によれば、コマンドモード時には、不必要な通信関連部分の電力を節約することが出来る。また、第2の観点のモデム装置によれば、モデム装置を使用しないときに、CPUで消費される電力を低減することが出来る。そこで、携帯用コンピュータに内蔵されるモデム装置など、電源容量の制約が大きいモデム装置として有利である。

【図面の簡単な説明】

【図1】この発明の一実施例のモデム装置のブロック図である。

【図2】図1のモデム装置のメインルーチンでの処理手順を示したフローチャートである。

【図3】図2のメインルーチン内の処理手順を示したフローチャートである。

【図4】図2のメインルーチン内の処理手順を示したフローチャートである。

5

6

【図5】図2のメインルーチン内の処理手順を示したフローチャートである。

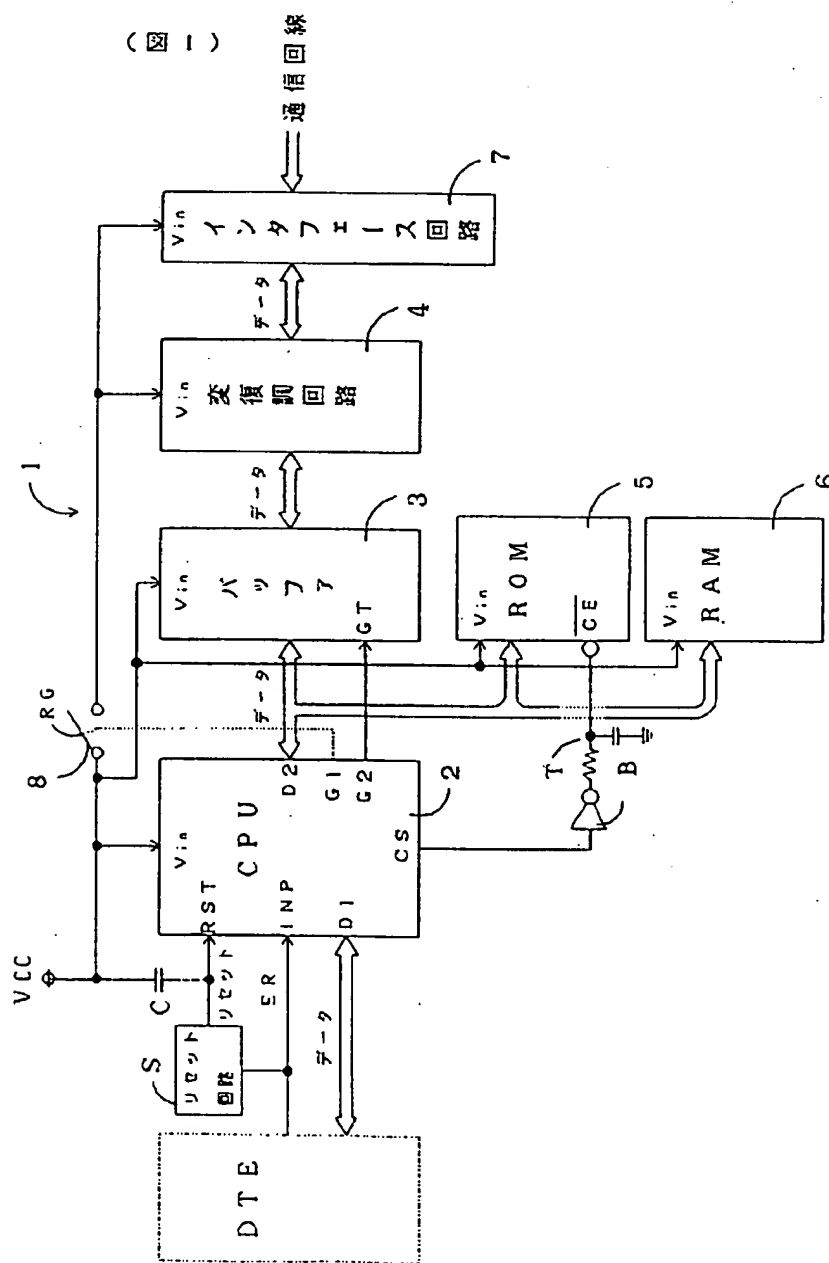
【図6】従来のモデム装置の一例のブロック図である。

【符号の説明】

- 1 モデム装置
- 2 CPU
- 3 バッファ
- 4 変復調回路
- 5 ROM
- 6 RAM

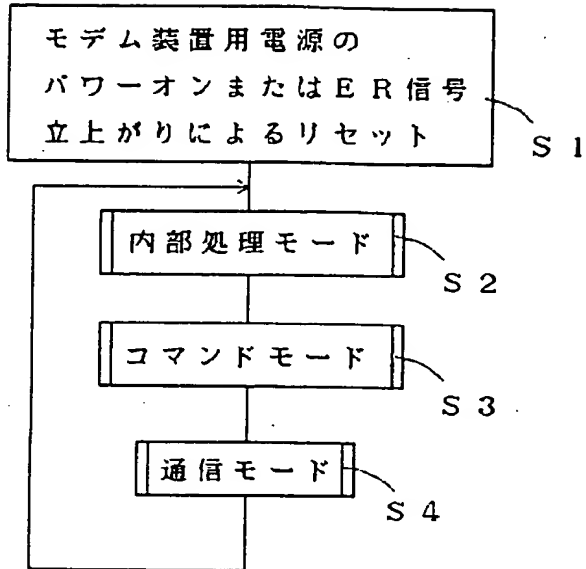
- 7 インタフェース回路
- 8 リレースイッチ
- VCC モデム装置用電源
- B インバータ
- C パワーオンリセット用コンデンサ
- S リセット回路
- T RC積分回路
- DTE 端末
- 5 1 モデム装置
- 10 5 2 CPU

【図1】



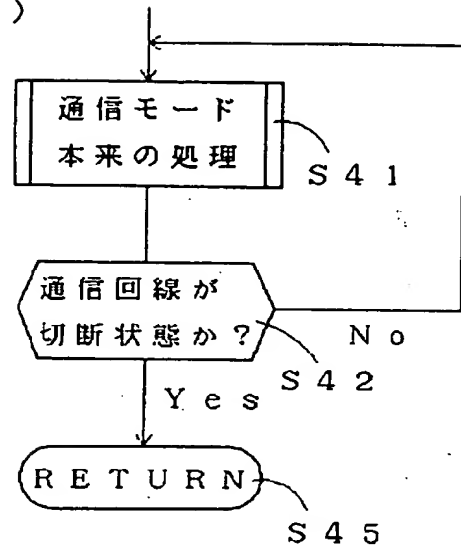
【図2】

(図2)



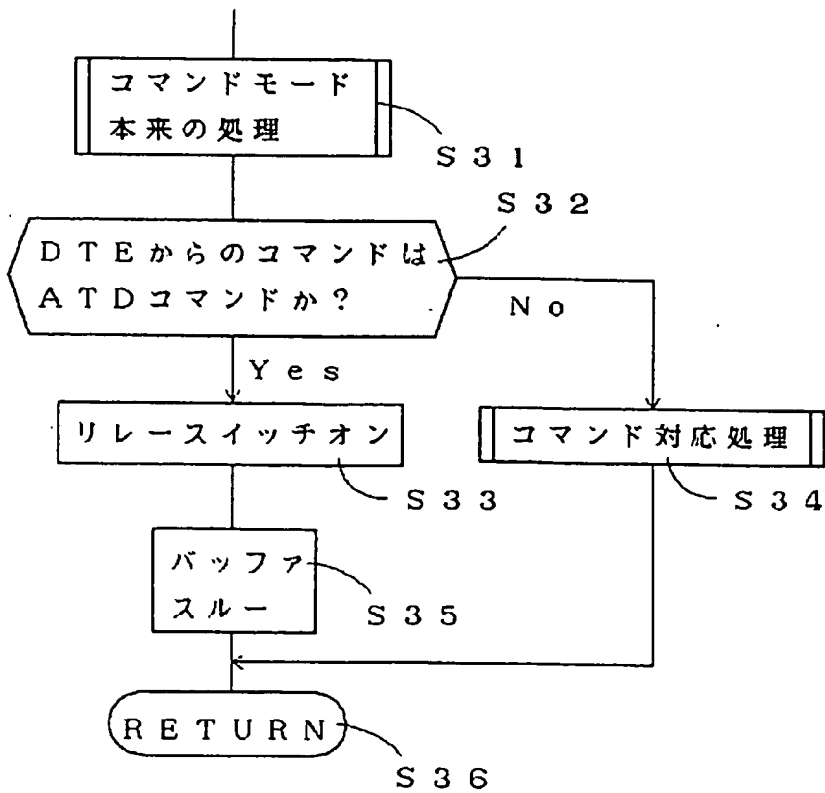
【図5】

(図5)



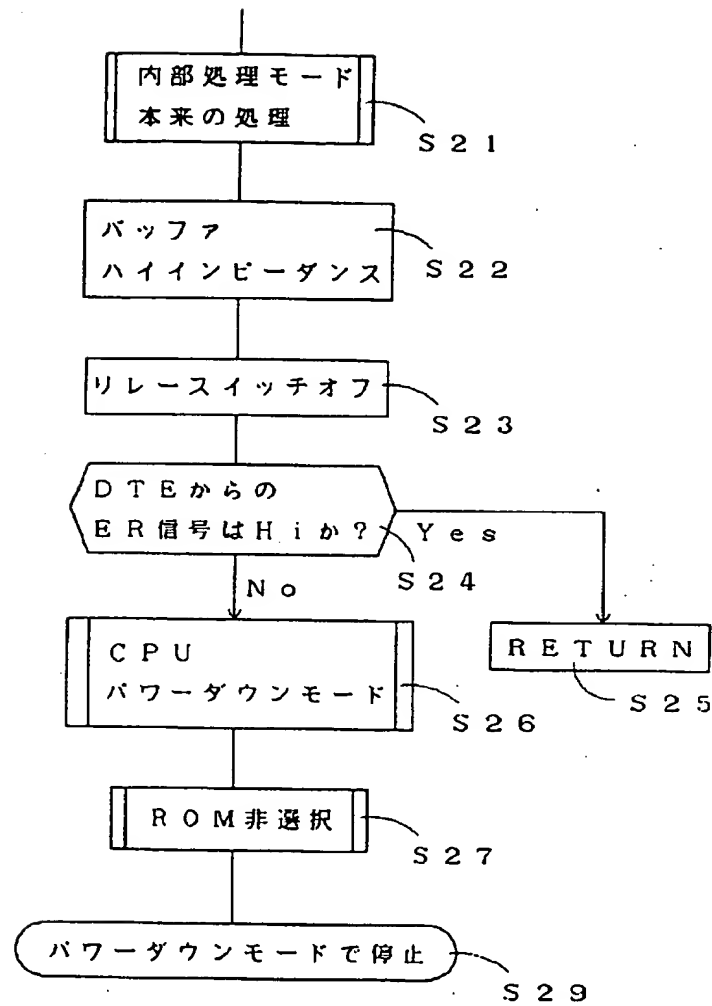
【図4】

(図4)



【図3】

(図3)



(9)

